

PATENT ABSTRACTS OF JAPAN

(11)Publication number : 03-167464

(43)Date of publication of application : 19.07.1991

(51)Int. Cl.

G01N 27/22

(21)Application number : 01-304806

(71)Applicant : YAMATAKE HONEYWELL CO LTD

(22)Date of filing : 27.11.1989

(72)Inventor : ABE TORU

KUROIWA TAKAO

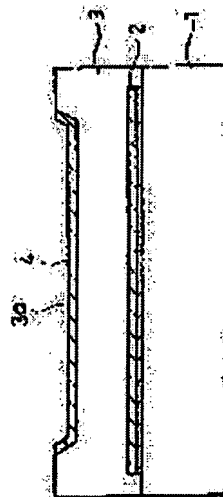
MIYAGISHI TETSUYA

(54) HUMIDITY-SENSITIVE ELEMENT AND ITS MANUFACTURE

(57)Abstract:

PURPOSE: To improve quality by forming a recessed part in the surface of a humidity-sensitive film and providing a moisture permeable upper electrode formed in a film state at heating temp. higher than the glass transition point of an org. polymer resin material on the inner surface of the recessed part.

CONSTITUTION: A moisture permeable membrane like upper electrode 4 is formed on the surface of a humidity-sensitive film 3 in a film state at temp. higher than the glass transition point of an org. polymer resin material by a heating vapor deposition method. At this time, only the surface of the humidity-sensitive film 3 having the electrode formed thereon is compressed to form a recessed part 3a and, as a result, the electrode 4 is formed in the recessed part 3a. By this method, the humidity-sensitive film 3 under the electrode 4 is compressed and densified to reduce the initial hysteresis, and temp. characteristics are improved and a drift under a high temp. and high humidity condition is reduced.



LEGAL STATUS

[Date of request for examination]

[Date of sending the examiner's decision
of rejection][Kind of final disposal of application
other than the examiner's decision of
rejection or application converted
registration]

[Date of final disposal for application]

[Patent number]

[Date of registration]

[Number of appeal against examiner's
decision of rejection]

[Date of requesting appeal against
examiner's decision of rejection]

[Date of extinction of right]

⑨ 日本国特許庁(JP)

⑩ 特許出願公開

⑫ 公開特許公報(A) 平3-167464

⑮ Int. Cl.⁵
G 01 N 27/22

識別記号 庁内整理番号
A 6843-2G

⑬ 公開 平成3年(1991)7月19日

審査請求 未請求 請求項の数 2 (全3頁)

⑭ 発明の名称 感湿素子およびその製造方法

⑯ 特 願 平1-304806

⑰ 出 願 平1(1989)11月27日

⑱ 発 明 者 阿 部 亨 神奈川県藤沢市川名1丁目12番2号 山武ハネウエル株式会社藤沢工場内
⑱ 発 明 者 黒 岩 孝 朗 神奈川県藤沢市川名1丁目12番2号 山武ハネウエル株式会社藤沢工場内
⑱ 発 明 者 宮 岸 哲 也 神奈川県藤沢市川名1丁目12番2号 山武ハネウエル株式会社藤沢工場内
⑲ 出 願 人 山武ハネウエル株式会社 東京都渋谷区渋谷2丁目12番19号
⑳ 代 理 人 弁理士 山川 政樹 外3名

明 細 書

1. 発明の名称

感湿素子およびその製造方法

2. 特許請求の範囲

(1) 絶縁性基板上に下側電極、有機高分子樹脂材料からなる感湿膜および透湿性上側電極を順次積層形成してなる感湿素子において、前記感湿膜の表面に凹部を形成するとともに該凹部内面に前記透湿性上側電極を設けたことを特徴とする感湿素子。

(2) 請求項1記載の感湿素子の製造方法において、透湿性上側電極を感湿性有機高分子樹脂材料のガラス転移点よりも高い加熱温度で加熱しながら成膜することを特徴とした感湿素子の製造方法。

3. 発明の詳細な説明

〔産業上の利用分野〕

本発明は有機高分子樹脂を感湿材料として用いてなる感湿素子およびその製造に関するものである。

〔従来の技術〕

従来、この種の感湿素子は、絶縁性基板の主表面上に互いに対向する一対の薄膜状対向電極を設けるとともにこの対向電極間に有機高分子樹脂材料からなる感湿膜をサンドウイッチ状に挟持させ、最表面の上側電極が透湿性を有する構成となっており、この感湿膜の相対湿度に対する対向電極間の電気容量値の変化を湿度の検出として対向電極の各電極端子に接続された外部引き出し用リード線から取り出されることになる。

〔発明が解決しようとする課題〕

しかしながら、有機高分子樹脂材料を感湿膜とする容量式の感湿素子は、感湿膜の表面側に設けられる透湿性上側電極を形成するのに真空室(チャンバー)を加熱しない、常温状態で成膜を行なっていた。このために常温状態で透湿性上側電極を成膜した感湿素子は、例えば約80℃以上の高温湿度雰囲気中での連続使用や温度サイクルなどの熱ストレスが付与されると、透湿性上側電極にクラック(ひび割れ)が発生するという問題があった。また、上側電極の抵抗値が徐々に大きくなる

という問題があつた。

この透湿性上側電極のクラックの発生は、蒸着法による成膜時の温度が低いため、蒸着温度よりも高い状態となると、感湿膜の有機高分子樹脂材料が膨張し、低い状態となると、逆に収縮する。しかしながら、この最表面側の透湿性上側電極は、有機高分子樹脂材料とともに膨張、収縮しないので、有機高分子樹脂材料との間に熱膨張の差によるミスマッチング（ギャップ）が生じ、透湿性上側電極にクラックが発生するものと考えられる。

〔課題を解決するための手段〕

このような課題を解決するために本発明は、感湿膜の表面に凹部を形成するとともにこの凹部内面に透湿性上側電極を設けたものである。また、この透湿性上側電極は、有機高分子樹脂材料のガラス転移点よりも高い加熱温度で成膜するものである。

〔作用〕

本発明における感湿膜の表面凹部内に形成される透湿性上側電極は、高温状態の使用においてク

分子樹脂材料をスピンコートもしくはディップング法により塗布した後、ガラス転移点以上の熱処理を行なつて膜厚約10000～50000 Å程度の厚さで感湿膜3が成膜されている。なお、感湿膜3を構成する有機高分子樹脂材料としては、メチルメタクリレートの重合体、メチルメタクリレートとビニル基を2個以上有する化合物との共重合体、エチルメタクリレートの重合体、エチルメタクリレートとビニル基を2個以上有する化合物との共重合体、メタクリル酸の重合体などが用いられる。この感湿膜3の表面上には例えばAuもしくはCrを加熱蒸着法により膜厚100～500 Åの厚さで透湿性の薄膜状上側電極4が成膜されている。この場合、この上側電極4の成膜はガラス転移点以上の加熱温度雰囲気中で行なわれ、これによつてこの上側電極4が成膜された感湿膜3の表面のみが圧縮されて凹部3aが形成され、結果的にこの凹部3a内に上側電極4が形成されることになる。なお、4aは上側電極4と同一材料、同一手段により一体的に成膜された電極端子であり、この電

ラックが発生しにくくなる。また、ガラス転移点以上の加熱成膜により透湿性上側電極下の感湿膜が圧縮され、緻密化される。

〔実施例〕

以下、図面を用いて本発明の実施例を詳細に説明する。

第1図は本発明による感湿素子およびその製造方法の一実施例を説明する平面図であり、第2図は第1図のⅡ-Ⅱ'線の断面図である。これらの図において、例えばガラス、アルミナもしくはシリコンウエハなどからなる絶縁性基板1の主表面上にはPtなどの耐蝕性の金属を蒸着またはスパッタリング法により膜厚約1000～10000 Å程度の下側電極2が成膜されている。この下側電極2は絶縁性基板1がガラス基板の場合、Ptはガラス基板に対して密着強度が小さいので、NbもしくはTiなどの密着増強膜をガラス基板とPt膜との間に成膜させても良い。なお、2aは下側電極2と同一材料、同一手段により一体的に成膜された電極端子である。この下側電極2上には有機高

極端子4aは絶縁性基板1上の感湿膜3が成膜されている端部に成膜される。次にこれらの電極端子2a, 4a上に外部引き出し用リード線5a, 5bを導電性樹脂6により接着して電気的接続を行なつて完成する。

このような感湿素子の製造方法によれば、透湿性の薄膜状上側電極4を有機高分子樹脂材料のガラス転移点以上の加熱蒸着法により形成したので透湿性上側電極4が感湿膜3の表面凹部3a内に成膜されるとともにこの上側電極4のみが成膜された部分の感湿膜3が圧縮し、緻密化されることになる。また、透湿性上側電極端子4aの電極材料として導電性樹脂6を用いた場合、硬化することにより体積縮少が起る（特に加熱硬化では顕著）。このとき、加熱蒸着を行なわない透湿性上側電極はクラックが発生していたが、本実施例では加熱蒸着を行なっているため、クラックの発生は全く生じなかつた。

なお、前述した実施例においては、感湿膜3を加熱蒸着法により形成した場合について説明した

が、本発明はこれに限定されるものではなく、有機高分子樹脂材料のガラス転移点よりも高い加熱温度中でスパッタリング法により形成しても同様の効果が得られることは言うまでもない。

〔発明の効果〕

以上説明したように本発明によれば、感湿膜の最表面に凹部を形成するとともにこの凹部内面に透湿性上側電極を設けたことにより、この透湿性上側電極下の感湿膜が圧縮し、緻密化されるので、初期におけるヒステリシスが小さくなるとともに温度特性が良好となる。また、高温、高湿度におけるドリフト（例えば40℃、90%RHでの放置のドリフト）が小さくなり、品質および信頼性の高い感湿素子が得られる。さらにこの透湿性上側電極を有機高分子樹脂材料のガラス転移点よりも高い加熱温度で成膜したことにより、ガラス転移点までの使用状況下において感湿膜にクラックが発生しなくなり、同様に品質および信頼性の高い感湿素子が得られるという極めて優れた効果を有する。

4. 図面の簡単な説明

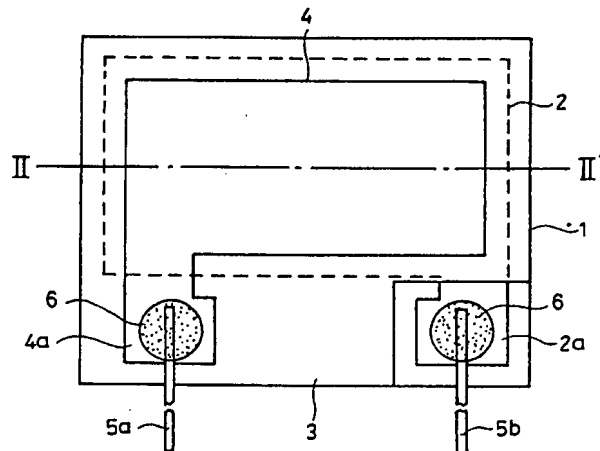
第1図は本発明による感湿素子およびその製造方法の一実施例を説明する要部平面図、第2図は第1図のII-II'線の断面図である。

1・・・絶縁性基板、2・・・下側電極、2a・・・電極端子、3・・・感湿膜、3a・・・凹部、4・・・上側電極、4a・・・電極端子、5a, 5b・・・外部引き出し用リード線、6・・・導電性樹脂。

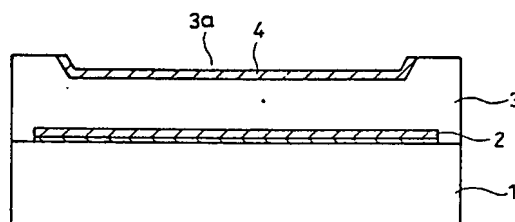
特許出願人 山武ハネウエル株式会社

代理人 山 川 政 樹

第 1 図



第 2 図



(19) 日本国特許庁 (J P)

(12) 特 許 公 報 (B 2)

(11) 特許番号

特許第3167464号

(P3167464)

(45) 発行日 平成13年 5月21日 (2001. 5. 21)

(24) 登録日 平成13年 3月 9日 (2001. 3. 9)

(51) Int.Cl. ⁷	識別記号	F I
H 0 2 M 1/00		H 0 2 M 1/00 C
G 0 5 F 1/10	3 0 4	G 0 5 F 1/10 3 0 4 C
H 0 2 H 3/24		H 0 2 H 3/24 L
H 0 2 M 7/48		H 0 2 M 7/48 C
7/537		7/537 B

請求項の数 1 (全 8 頁)

(21) 出願番号	特願平4-315445	(73) 特許権者	000005234 富士電機株式会社 神奈川県川崎市川崎区田辺新田1番1号
(22) 出願日	平成4年11月26日 (1992. 11. 26)	(72) 発明者	藤井 正昭 神奈川県川崎市川崎区田辺新田1番1号 富士電機株式会社内
(65) 公開番号	特開平6-165480	(72) 発明者	野村 年弘 神奈川県川崎市川崎区田辺新田1番1号 富士電機株式会社内
(43) 公開日	平成6年6月10日 (1994. 6. 10)	(74) 代理人	100088339 弁理士 篠部 正治
審査請求日	平成10年6月23日 (1998. 6. 23)		
審判番号	不服2000-6580 (P2000-6580/J1)		
審判請求日	平成12年5月8日 (2000. 5. 8)		
		合議体	
		審判長	川端 修
		審判官	菅澤 洋二
		審判官	三友 英二

最終頁に続く

(54) 【発明の名称】 インバータの故障診断装置

(57) 【特許請求の範囲】

【請求項1】 インバータの主回路を構成する複数の半導体素子と、この半導体素子に対するゲート駆動電力を供給するゲート駆動電源と、前記半導体素子に対応して設けられるゲート駆動回路とを有するインバータにおいて、故障診断時に前記半導体素子に対するゲート駆動電力のその所定値からの過大又は過少状態を検出するゲート駆動電力判定手段を備え、
前記ゲート駆動電力判定手段は、
前記半導体素子に対するゲート駆動信号オフ状態におけるゲート駆動電力を測定し、ゲート駆動電力がその所定値に比し過大又は過少状態であれば、前記ゲート駆動電源あるいはゲート駆動回路自体における故障、又は信号線の接続不良と判断し、
前記半導体素子に対するゲート駆動信号発振状態にお

けるゲート駆動電力を測定し、ゲート駆動電力がその所定値に比し過大状態であれば、前記半導体素子短絡と判断し、ゲート駆動電力がその所定値に比し過小状態であれば、ゲート駆動回路の接続不良と判断することを特徴とするインバータの故障診断装置。

【発明の詳細な説明】

【0001】

【産業上の利用分野】 本発明は、単一のインバータ或いは複数の単位インバータの並列接続によってその大容量化を図った多重構成インバータを対象とし、該インバータの主回路を構成するMOSFET, SIT, IGBT等の電力用半導体素子とそのゲート駆動系関連要素（ゲート駆動電源、ゲート駆動回路、ゲート駆動電源から半導体素子に至る配線等）における異常の有無確認と異常部位の特定を行うインバータの故障診断装置に関する。

【0002】

【従来の技術】従来のこの種のインバータの故障診断装置としては、その基本回路構成を図3と図4の回路図に例示するものが知られている。なお前記両図は、3台の単位インバータの並列多重構成によりその大容量化を図った場合を例示するものであり、該両図に関する以下の説明は一般的にn台の単位インバータの並列接続による多重化の場合にも同様に拡大適用できる。

【0003】先ず従来技術の第一の実施例を示す図3は3台の単位インバータをそれぞれの主回路の入出力両側にて互に並列接続し多重化した場合の例示である。なお前記の単位インバータを以下の説明においてはインバータ・ユニットと称する。図3において11₁~11₃はそれぞれ同一の回路構成をなし、例えば誘導性コイルとコンデンサとの直列接続をなす負荷回路5を共通の負荷とし所要の制御された交流を出力するインバータ・ユニットである。

【0004】以下前記ユニット11₁を例に説明すれば、14は三相交流をその入力とする整流器、C_fは該整流器の出力電圧平滑用コンデンサ、Q₁~Q₄は半導体素子の例としてのMOSFET、22₁は該各FETに対するゲート駆動電力を供給するゲート駆動電源である。また3₁~3₄は前記各素子Q₁~Q₄にそれぞれ対応して設けられたゲート駆動回路であり、前記の駆動電源22₁からのゲート駆動電力の供給と制御回路16によるインバータ動作に必要なスイッチング順序指令信号とを受け、指定された時点において所定のゲート信号に対応する前記各素子Q₁~Q₄に与えるものである。

【0005】更に20₁~20₄はそれぞれ前記FET各素子Q₁~Q₄に対応して設けられた故障検出回路であり、抵抗とフォトカプラ等により構成され対応するFET素子の開閉部をなすドレインとソース間の電圧の有無を検出し、もし通常のインバータ動作時に該ドレイン・ソース間電圧が常時零となれば前記FET素子はそのドレイン・ソース間が短絡故障状態にあるものとして該電圧の検出結果を前記フォトカプラを介して故障表示回路17に与えるものである。

【0006】なお故障表示回路17へは前記の各インバータ・ユニット11₁~11₃における全ての故障検出回路から前記の電圧有無の検出信号が入力され、故障状態にある全てのFET素子が特定されて表示される。次に従来技術の第二の実施例を示す図4は、3台のインバータ・ユニットにおける直流中間回路の整流器に関する接続のみが図3の場合と異なるものである。即ち図3に示す各インバータ・ユニット11₁~11₃それぞれの直流中間回路における3組の整流器14を1組の共通整流器4に統合すると共に該各直流中間回路における3組の平滑用コンデンサC_fを互に並列に接続して前記整流器4により共通に充電するものであり、これに伴い前記各インバータ・ユニット11₁~11₃をそれぞれ21₁~2

1₃に符号変更したものである。なお前記FET各素子の故障診断に関しては前述の図3の場合と同様となる。

【0007】

【発明が解決しようとする課題】前記従来の故障診断装置においては、前記の図3と図4とに示す如く、各インバータ・ユニットにおける複数の半導体素子中の故障素子の特定を行うために該各半導体素子それぞれに専用の故障検出回路を設けており、故障検出回路の数量増大と共に関連機器間の配線数の増大を来し、その大形化と所要配線工数の増大等によるインバータ装置の高価格化を招いていた。

【0008】またその故障診断機能に関し前記従来の故障診断装置は、前記の各半導体素子自体の短絡状態の判定は可能であるがそのゲート駆動回路等関連要素の故障判定はできないという不具合があった。

【0009】なお上記の上下アーム短絡時には当然他の過電流保護機能等によりインバータ保護がなされている。上記に鑑み本発明は、その小形化と関連機器間配線数の低減とを図り且つその故障判定機能面においては全半導体素子に関して該各素子自体とそのゲート制御系関連要素とを区分して特定することが可能なインバータの故障診断装置の提供を目的とするものである。

【0010】

【課題を解決するための手段】上記目的を達成するため本発明のインバータの故障診断装置においては、インバータの主回路を構成する複数の半導体素子と、この半導体素子に対するゲート駆動電力を供給するゲート駆動電源と、前記半導体素子に対応して設けられるゲート駆動回路とを有するインバータにおいて、故障診断時に前記半導体素子に対するゲート駆動電力のその所定値からの過大又は過少状態を検出するゲート駆動電力判定手段を備え、前記ゲート駆動電力判定手段は、前記半導体素子に対するゲート駆動信号オフ状態におけるゲート駆動電力を測定し、ゲート駆動電力がその所定値に比し過大又は過少状態であれば、前記ゲート駆動電源あるいはゲート駆動回路自体における故障、又は信号線の接続不良と判断し、前記半導体素子に対するゲート駆動信号発振状態におけるゲート駆動電力を測定し、ゲート駆動電力がその所定値に比し過大状態であれば、前記半導体素子短絡と判断し、ゲート駆動電力がその所定値に比し過小状態であれば、ゲート駆動回路の接続不良と判断するものとする。

【0011】

【作用】例えば電力用半導体素子としてのMOSFETにおいては、該素子のドレインとソース間が何らかの原因により破壊されて短絡状態となれば殆どの場合にそのゲートとソース間も短絡状態となる。従って該短絡状態において前記FET素子にそのゲート駆動信号を印加すれば、該素子へ入力されるゲート駆動電力はその正常時の値に比して大となる。即ち該ゲート駆動電力をその正

常時の値と比較することにより前記FET素子の短絡状態の検出が可能となる。

【0012】また前記FET素子のゲート駆動系を例えばゲート駆動電力を供給するゲート駆動電源と、該駆動電源からの電力供給と前記素子へのゲート駆動信号とを受けて動作するゲート駆動回路とで構成している場合に、前記のFET素子に対するゲート駆動信号オフ時における前記ゲート駆動電力がその所定値に比し過大又は過少であれば前記のゲート駆動電源又はゲート駆動回路自体における故障の発生か更には該ゲート駆動電源から前記FET素子に至る配線経路における接触不良又は配線間短絡等該素子以外の部位における故障発生が考えられる。

【0013】即ち、前記MOSFET或いはSIT、IGBT等の電力用半導体素子においては、該半導体素子に対するゲート駆動信号のオン及びオフ両状態における前記ゲート駆動電力のその所定値との比較により、故障発生が前記半導体素子自体にあるものか或いは該半導体素子以外のゲート駆動電力供給系要素にあるものかの判定が可能となる。

【0014】本発明は、単一のインバータ或いは複数のインバータ・ユニットの並列接続によりその大容量化を図った多重構成インバータを対象とし、前記インバータにおけるブリッジを構成する各半導体素子に対するゲート駆動電力の判定によって故障発生部位が該半導体素子自体にあるものか或いは該半導体素子以外のゲート駆動電力供給系の要素にあるものかの判定とその所属インバータ・ユニットの特定を可能とするものである。

【0015】

【実施例】以下本発明の実施例を図1の回路図と図2のフローチャートとに従って説明する。なお図1においては図3と図4とに示す従来技術の実施例の場合と同一機能の構成要素に対しては同一の表示符号を付している。図1は本発明の実施例を示すものであり図4に示す回路図において、ゲート駆動電源2₁～2₃と制御回路16と故障表示回路17とに関しそれぞれ機能追加を行って変更すると共に該各変更に伴って各インバータ・ユニットにおける各故障検出回路20₁～20₄を取り去り、更に定電流源8を追加し、上記の各変更に従って前記各ユニット21₁～21₃をそれぞれ1₁～1₃の如く符号変更したものである。

【0016】即ちゲート駆動電源2₁～2₃については該各駆動電源の出力するゲート駆動電力値を示す信号を追加発信する如く機能追加し、それぞれ2₁～2₄の如く符号変更したものである。また制御回路6は、3組のインバータ・ユニットに対し通常の同期並列運転時におけるインバータ動作の指令信号を与えると共に、前記の故障診断動作時には故障判定表示回路7の指令を受け前記各インバータ・ユニットにおける各半導体素子に対し所定順序に従うゲート駆動信号を与えるものであり、制

御回路16に対して前記の故障診断動作の機能追加を行ったものである。

【0017】次に、以上の如き諸機能を有する各要素によりなされる故障診断動作を図2のフローチャートに従い以下に説明する。先ず故障判定表示回路7の指令を受けた制御回路6の指令信号により前記の各インバータ・ユニット1₁～1₃における各半導体素子(MOSFET)Q₁～Q₄に対するゲート信号を全てオフとした状態で各ゲート駆動電源2₁～2₄の出力するゲート駆動電力値が正常か否かの判定を前記故障判定表示回路において行い、異常時には前記の各ゲート駆動電源、各ゲート駆動回路、又は信号線の接触不良等が発生したものとして該異常発生部位の属するインバータ・ユニットの特定を行う。

【0018】次に同様にして、前記の各半導体素子Q₁～Q₄に対しそのゲート駆動信号を全てオンとした状態で各ゲート駆動電源2₁～2₄の出力するゲート駆動電力値の適否を前記故障判定表示回路において判定し、短絡状態にある半導体素子を有する前記インバータ・ユニットの特定を行う。

【0019】以上では、インバータにおけるブリッジを構成する各半導体素子に対するゲート駆動電力の判定によって、故障発生部位が該半導体素子自体にあるものか或いは該半導体素子以外のゲート駆動電力供給系の要素にあるものかの判定とその所属インバータ・ユニットの特定を行なうインバータの故障診断動作について述べたものである。

【0020】上記により本発明は達成されるものであるが、さらに各インバータ・ユニットにおける異常半導体素子の特定を行なうこともできる。以下では異常半導体素子の特定を行なうインバータの故障診断動作について述べる。

【0021】電圧形のインバータは一般に交流入力整流回路とその出力電圧平滑用コンデンサとから成る直流中間回路と、ブリッジを形成する複数の半導体素子より成る逆変換部とを有している。更に前記コンデンサに対する充電の時定数は、前記逆変換部よりその負荷回路に至る給電経路と該負荷回路自体における等価抵抗値と等価インダクタンス及び前記コンデンサの静電容量とにより規定される。

【0022】従って前記充電時定数は、前記逆変換部を構成する各半導体素子が所定の順序に従うオン・オフ動作をしている場合と該半導体素子が全てオフ状態にある場合との両状態に対応してそれぞれ異なる所定値を有するものとなり、もし該両状態に対応する充電時定数がそれぞれの所定値と異なることがあればこれは前記の時定数関連諸元の何れかにおける異常に起因するものとなる。

【0023】なお前記の如き充電時定数の変化はその残留電荷を零とした前記コンデンサを所定の直流定電流

にて充電し、該充電に伴うコンデンサ端子電圧のその所定値への到達時間に関しその所定時間との差異を判定することにより可能となる。今、もし前記半導体素子が全てオフ状態にある場合に前記の充電時定数がその所定値よりも小さくなれば、その度合いに応じて前記逆変換部のブリッジ構成における同相或いは異相の上下アームにおける同時短絡を示すものとなり、また上下アームの同時短絡でない時には前記のブリッジを構成する各半導体素子を所定の順序に従い順次オンさせることにより異常アームの特定が可能となる。

【0024】そこで、第1図に示すように、定電流電源8を設ける。この定電流源8は、前記各インバータ・ユニットの平滑用コンデンサ C_f それぞれを所定の直流定電流で充電すると共に、該充電により前記コンデンサの端子電圧が定電圧ダイオード等により指定された所定の電圧に達すれば該到達信号をフォトカプラ等を介して前記の故障判定表示回路7へ与えるものである。また故障判定表示回路7は、前記各インバータ・ユニット $1_1 \sim 1_3$ における各ゲート駆動電源 $2_1 \sim 2_4$ からそれぞれの出力するゲート駆動電力値の信号を受け、該各電力値のその所定値との大小比較を介して異常半導体素子のあるインバータ・ユニットの特定を行うと共に、定電流源8からのコンデンサ C_f に関する前記の充電到達信号を受けて該信号発生迄に要した時間のその所要値との長短を判定し前記の異常状態にあるインバータ・ユニットにおける異常半導体の特定を行うものである。

【0025】続いて、上記故障診断動作を図2のフローチャートに従って説明する。前記の故障判定表示回路7の指示を受けた制御回路6と定電流源8とにより、前記各半導体素子 $Q_1 \sim Q_4$ に対しそのゲート駆動信号を全てオフとした状態で、事前にその残留電荷が零となされた前記各コンデンサに対し所定の直流定電流による充電を行い、該充電によるコンデンサ端子電圧がその所定値に達する迄の所要時間の適否を前記故障判定表示回路において判定し、充電不能でその所要時間が長い場合は前記の特定されたインバータ・ユニットにおける故障状態がそのブリッジ構成における同相上下アームの同時短絡であると判定し、またもし充電可能な場合には、続いて前記の各半導体素子 $Q_1 \sim Q_4$ に対し所定順序に従うゲート駆動信号を与えた状態において前記と同様のコンデンサ

充電を行いその度毎の充電所要時間の適否を前記故障判定表示回路において判定し、故障状態にある半導体素子の特定を行う。

【0026】

【発明の効果】本発明によれば、インバータ装置における半導体素子に対するゲート駆動電力の値の適否判定により故障発生部位が該半導体素子自体にあるものか或いは該半導体素子以外のゲート駆動電力供給系要素にあるものかの判定を行うことにより、その故障判定機能面においては回路構成をなす全半導体素子に関して該各素子自体とそのゲート制御系関連要素とを区分して故障部位の特定を可能とし、またその小形化と関連機器間配線数の低減と低廉化とを可能とすることができる。

【図面の簡単な説明】

【図1】本発明の実施例を示すインバータの故障診断装置の回路図

【図2】図1に対応するフローチャート

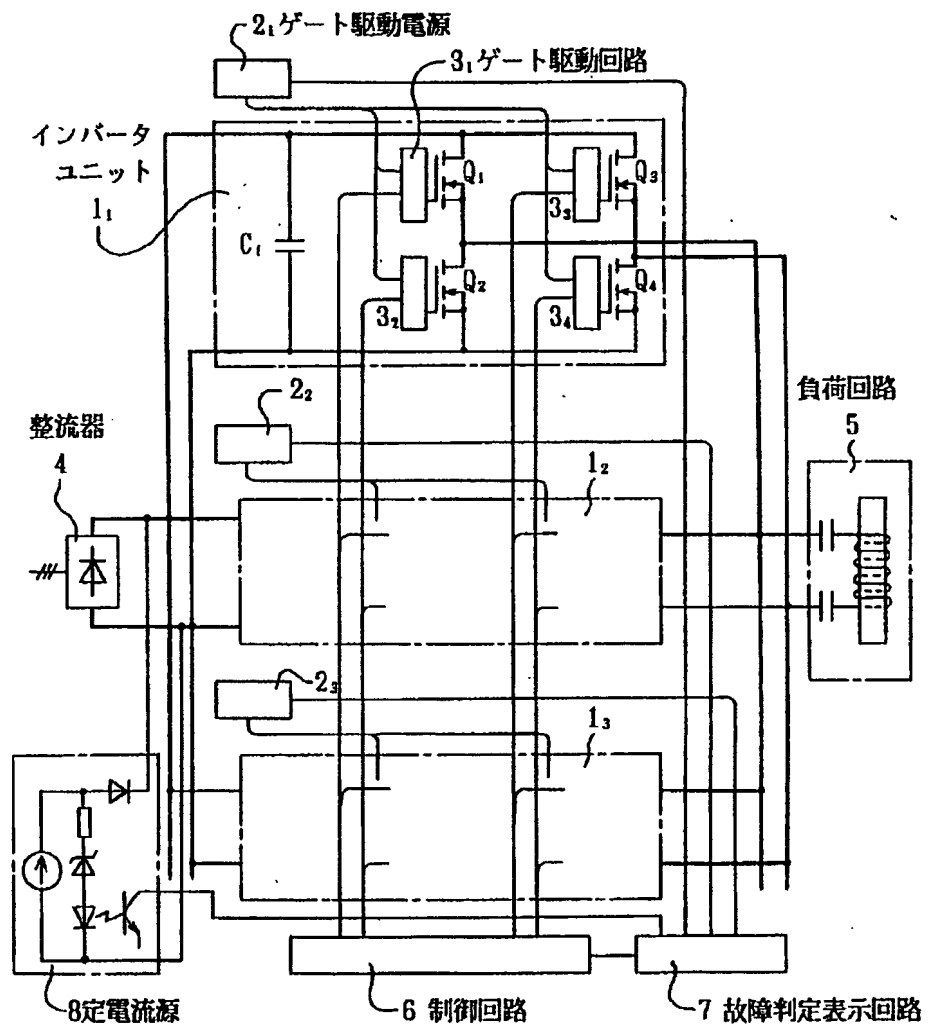
【図3】従来技術の第一の実施例を示すインバータの故障診断装置の回路図

【図4】従来技術の第二の実施例を示すインバータの故障診断装置の回路図

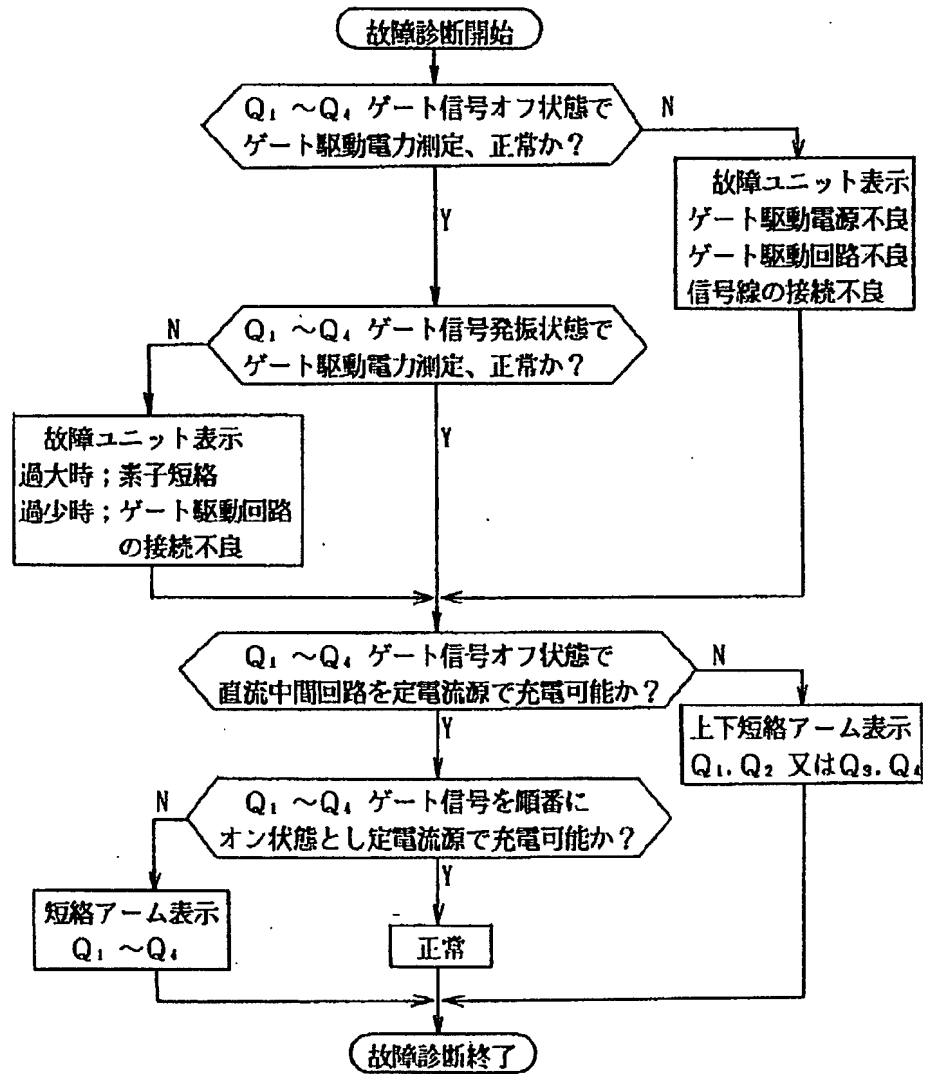
【符号の説明】

- 1_n インバータ・ユニット (n = 1, 2, 3)
- 2_n ゲート駆動電源 (n = 1, 2, 3)
- 3_n ゲート駆動回路 (n = 1, 2, 3, 4)
- 4 整流器
- 5 負荷回路
- 6 制御回路
- 7 故障判定表示回路
- 8 定電流源
- 11_n インバータ・ユニット (n = 1, 2, 3)
- 16 制御回路
- 17 故障表示回路
- 20_n 故障検出回路 (n = 1, 2, 3, 4)
- 21_n インバータ・ユニット (n = 1, 2, 3)
- 22_n ゲート駆動電源 (n = 1, 2, 3)
- C_f 整流電圧平滑用コンデンサ
- Q_n MOSFET等の半導体素子 (n = 1, 2, 3)

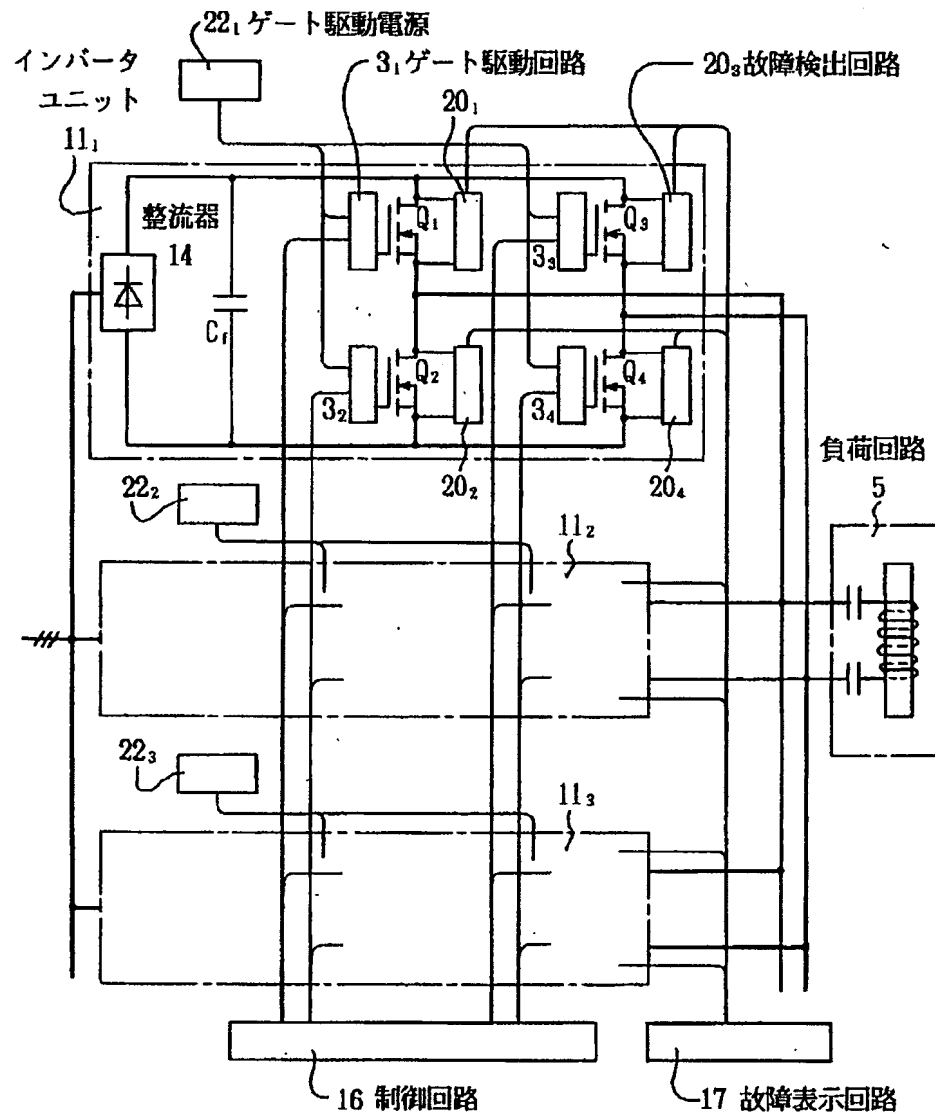
【図1】



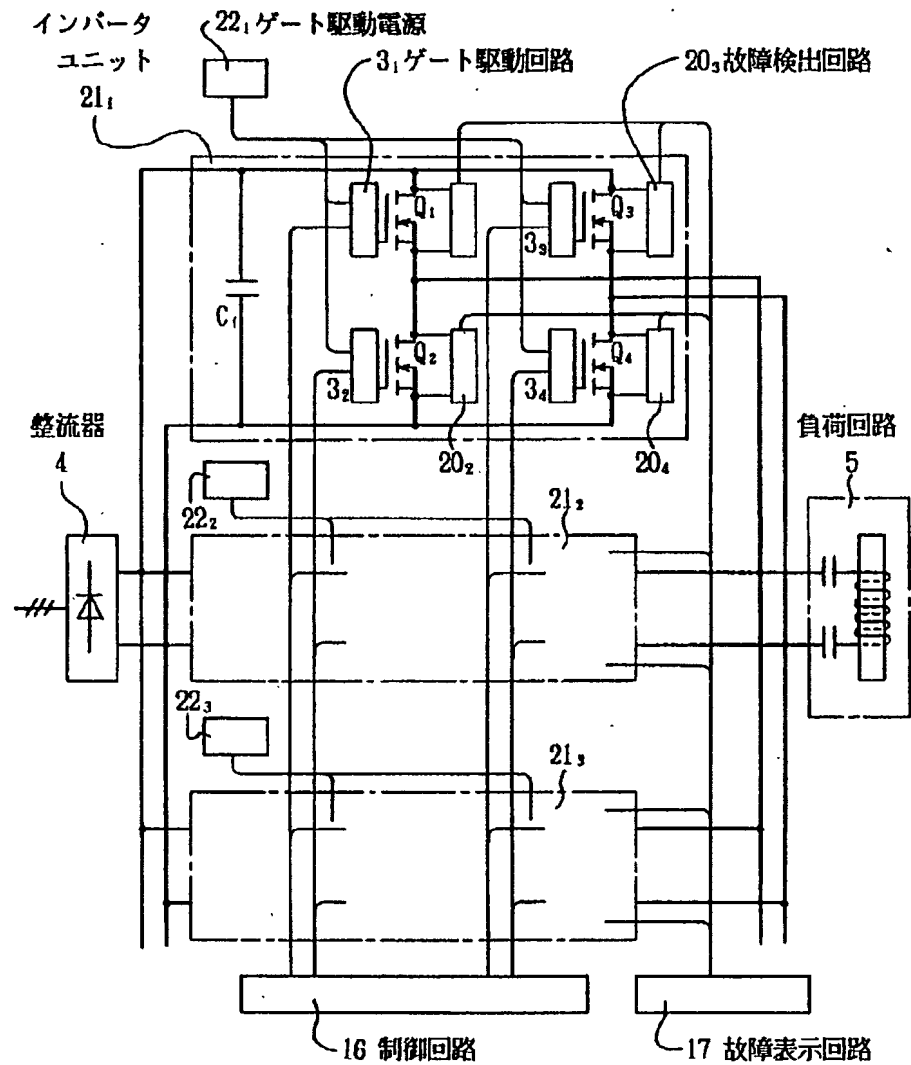
【図2】



【図3】



【図4】



フロントページの続き

(72)発明者 相川 五蔵

神奈川県川崎市川崎区田辺新田1番1号
富士電機株式会社内

(56)参考文献 特開 平1-126172 (J P, A)
特開 昭63-99778 (J P, A)

(58)調査した分野(Int. Cl. ⁷, D B名)
H02M 1/00